

Nom et Prénom : ISSAM ANDALOUSSI

Date de soutenance : 14/10/2022

Directeur de Thèse : SEDRA MOULAY

BRAHIM

Sujet de Thèse :

**Optimisation des critères de performances des circuits réversibles quantiques de L'unité
Arithmétique et Logique (UAL)**

Résumé :

Ces dernières années, la logique réversible a offert une alternative prometteuse aux circuits logiques traditionnels. La logique réversible introduit un mécanisme qui permet une énergie théoriquement nulle en terme de dissipation, en éliminant la possibilité de perte d'informations. Dernièrement l'informatique réversible devient de plus en plus importante pour les chercheurs en ce qui concerne la conception des dispositifs informatiques à faible puissance, dont elle est considérée comme une forme non conventionnelle du calcul. D'ailleurs la logique réversible possède un rôle majeur dans le domaine du calcul quantique. Le but de l'informatique réversible est d'exploiter les propriétés de la mécanique quantique, pour effectuer des calculs qui dépassent les capacités des circuits classiques traditionnels basés sur des transistors. Dans cette thèse on s'intéresse à l'optimisation de certains circuits réversibles, faisant l'objet de l'unité arithmétique et logique des ordinateurs quantiques, existants dans la littérature dont on garde leur fonctionnalité tout en améliorant leurs critères de performances à savoir, nombre des portes (CG), nombre de sorties à ordures (NGO), nombre des entrées constantes (NCI), Coût quantique (QC), complexité matérielle (HC) et Délai (Δ), en fait nos résultats obtenus sont exprimés en % d'amélioration. Les circuits réversibles concernés par notre thèse sont, Additionneur Complet, décodeur 2 à 4, décodeur 3 à 8, décodeur n à 2^n , convertisseur du Décimal à BCD encodeur et Compteur binaire synchrone 4 bits binaire contrôlé par haut/bas. Le changement de la structure des circuits réversibles préexistants, se fait en remplaçant certaines portes réversibles par un ou ensemble des portes réversibles en respectant deux conditions essentielles : garder la même fonctionnalité du circuit et minimiser ses critères de performances, chose qui va garantir de plus en plus une augmentation de puissance des ordinateurs quantiques.

Mots clés : critère de performances, CG, NGO, NCI, QC, HC, Délai Δ , additionneur complet, décodeur 2 à 4, 3 à 8 et n à 2^n , Convertisseur du décimal à BCD encodeur, Compteur réversible synchrone 4-bits binaire haut/bas contrôlé.

Abstract:

In recent years, reversible logic has offered a promising alternative to traditional logic circuits. Reversible logic introduces a mechanism that allows theoretically zero energy in terms of dissipation by eliminating the possibility of information loss. Lately, reversible computing has become more and more important for researchers in the design of low-power computing devices, of which it is considered an unconventional form of computing. Moreover, reversible logic has a major role in the field of quantum computing. The goal of reversible computing is to exploit the properties of quantum mechanics to perform calculations that exceed the capabilities of traditional classical circuits based on transistors. In this thesis we are interested in the optimization of certain reversible circuits, being the object of existing quantum computers, of which we keep their same functionality while improving their performance criteria Number of gates (CG), Number of garbage outputs (NGO), Number of constants input (NCI), Quantum Cost (QC), Hardware Complexity (HC) and Delay (Δ) the reversibles circuits concerned by our thesis are, Full Adder, decoder 2 to 4, decoder 3 to 8, decoder n to $2n$, converter from Decimal to BCD encoder and 4-bit binary synchronous binary counter controlled by up / down. structure of the pre-existing reversible circuits is done by replacing certain reversible gates by one or some ones while respecting two essential conditions :keep the same functionality of the circuit and to minimize its performance criteria, which will guarantee an increase the power of quantum computers.

Keywords : performance criteria, CG, NGO, NCI, QC, HC, Delay (Δ), Full adder , decoder 2 to 4, 3 to 8 and n to 2^n , Converter from decimal to BCD encoder, Counter reversible 4-bit synchronous binary up / down controlled