

Nom et Prénom : EL GHAYYATY MOHAMED

Date de soutenance : 05/06/2021

Directeur de Thèse : HADJOUDJA ABDELKADER

Sujet de Thèse :

Contribution à l'amélioration des performances de décodage des codes Reed-Solomon (RS) et Bose, Ray-Chaudhuri, Hocquenghem (BCH) avec implémentation sur une carte FPGA (Field-Programmable Gate Array)

Résumé :

La qualité d'une transmission numérique des données dépend principalement de la quantité d'erreurs introduites dans le canal de transmission. Le contrôle des erreurs par technique du codage est donc indispensable. En effet, cette technique nommée « codage de canal », permet la détection et la correction d'éventuelles erreurs de transmission en utilisant des codes correcteurs d'erreurs comme les codes RS (Reed-Solomon), BCH (Bose, Ray-Chaudhuri et Hocquenghem) et LDPC (Low-Density -Parity-Check).

Cependant, La technique « codage du canal » utilise un mécanisme de décodage très complexe nécessitant un nombre très grand de porte logique ce qui influence sur le temps de réponse, d'où l'objectif de cette thèse est de développer une méthode d'optimisation fiable en utilisant des nouvelles architectures pour les codes correcteurs d'erreurs afin de réduire à la fois la complexité et le nombre d'itération, et par conséquent, une optimisation des portes logiques et une réduction de la consommation d'énergie.

Les algorithmes de décodages développés dans cette thèse sont comparés avec les algorithmes existants, et ils sont évalués à travers une simulation en utilisant le langage de description matériel VHDL, puis ils sont implémentés sur une carte FPGA de type Xilinx Spartan à travers le logiciel Quartus II.

Mots clés : Codes correcteurs d'erreurs RS et BCH, chaines de transmission DVB-T et DVB-S2, champ de Galois, chien de recherche, syndrome, Langage de description matériel VHDL, FPGA

Abstract :

The quality of digital data transmission depends mainly on the amount of errors introduced into the transmission channel. It is therefore essential to check errors by coding technique. Indeed, this technique called "channel coding", allows the detection and correction of possible transmission errors by using error correcting codes such as RS (Reed-Solomon), BCH (Bose, Ray-Chaudhuri and Hocquenghem) and LDPC (Low-Density -Parity-Check).

However, channel coding uses a very complex decoding mechanism requiring a very large number of logic gates, which influences the response time, hence the objective of this thesis is to develop a reliable optimization method using new architecture for the error correcting codes in order to reduce both the complexity and the number of iterations, and consequently, an optimization of the logic gates and a reduction of the energy consumption.

These decoding algorithms developed in this thesis are compared with the existing algorithms, and they are evaluated through a simulation using the hardware description language VHDL, then they are implemented on a Xilinx Spartan type FPGA card using the Quartus II software.

Keywords: RS and BCH error correcting codes, DVB-T and DVB-S2 transmission chains, Galois field, chien search , syndrome, VHDL, FPGA